

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



PATENT

Docket No. JCLA9302

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : CHIN-HSIEN YEN et al.  
Application No. : 10/671,273  
Filed : September 24, 2003  
  
For : CHARGE PUMP AND VOLTAGE  
: DOUBLER USING THE SAME

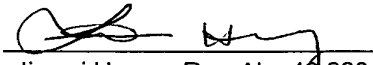
Examiner :

**Certificate of Mailing**

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

December 29, 2003

(Date)

  
Jiawei Huang, Reg. No. 43,330

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **91135002** filed on **December 03, 2002**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA9302).

Date: 12/29/2003

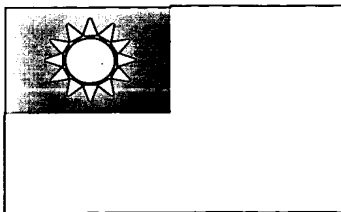
By:   
Jiawei Huang  
Registration No. 43,330

**Please send future correspondence to:**

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
Tel: (949) 660-0761

10/671.273 (1)

JCLA9302



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 12 月 03 日

Application Date

申請案號：091135002

Application No.

申請人：威盛電子股份有限公司

Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 10 月 6 日

Issue Date

發文字號：

09220999200

Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	電壓幫浦及使用其之電壓倍增器
	英 文	Charge pump and voltage doubler using the same
二、 發明人 (共1人)	姓 名 (中文)	1. 顏敬賢
	姓 名 (英文)	1. Chin-Hsien Yen
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA Technologies, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Hsiueh-Hong WANG



四、中文發明摘要 (發明名稱：電壓幫浦及使用其之電壓倍增器)

一種電壓幫浦及使用其之電壓倍增器，其藉由串接由低壓製程所製作的P型與N型金屬氧化半導體來解決電路中所遭遇的高電壓差問題。藉此，電壓幫浦將可在避免閘極源極、閘極-基極與閘極-汲極間出現過高電壓差的情況下提供外界更高的電壓。

伍、(一)、本案代表圖為：第\_\_\_4\_\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

402 ~ 408 : PMOS

412 ~ 418 : NMOS

430 , 440 : 電容

陸、英文發明摘要 (發明名稱：Charge pump and voltage doubler using the same)

A charge pump and a voltage doubler is provided. The charge pump solves the issue of large voltage difference between two ends of a MOS by serially connecting PMOS and NMOS in the circuit. Thereby, the charge pump can provide a higher voltage while avoiding large voltage difference between the gate-source, gate-base and gate-drain ends.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

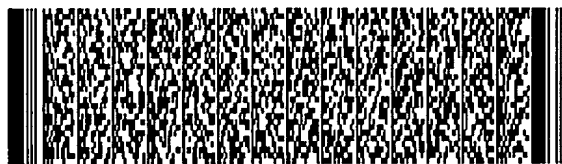
### 發明所屬之技術領域

本發明是有關於一種電壓幫浦及使用其之電壓倍增器，且特別是有關於一種利用低壓製程所做之金屬氧化半導體元件組合而成的電壓幫浦及使用其之電壓倍增器。

### 先前技術

請參照第1A圖，其繪示的是習知技術所使用的電壓幫浦的電路圖。在第1A圖中，電壓幫浦10包含了兩個N型金屬氧化半導體(NMOS)102與104，以及兩個電容112與114。其中，NMOS 102的一個汲極/源極電性耦接至輸入電壓VIN，另一個汲極/源極則電性耦接至電容112的一端112a。再者，NMOS 102的基極接地，而其閘極則電性耦接至電容114之一端114a上，且此電容端114a上之電壓被用為此電壓幫浦10之其中一個輸出電壓V01。類似的，NMOS 104的一個汲極/源極電性耦接至輸入電壓VIN，另一個汲極/源極則電性耦接至電容114的一端114a。再者，NMOS 104的基極接地，而其閘極則電性耦接至電容112之一端112a上，且此電容端112a上之電壓就被用為此電壓幫浦10之另外一個輸出電壓V02。此外，電容112之另一端112b接收操作時脈訊號CK，而電容114之另一端114b則接收與操作時脈訊號CK反相之反操作時脈訊號CK'。

在最初的時候，電容112與114兩端間的電壓差都是0伏特。假設操作時脈訊號CK為電壓介於0伏特與V1伏特之間的一個訊號，而V1與VIN相等或更大，且一開始的時候

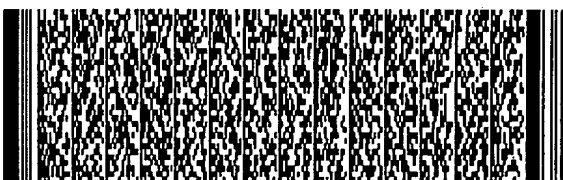


## 五、發明說明 (2)

操作時脈訊號CK位於高準位狀態，則在開始操作的時候，由於電容特性使然，電容112兩端之電壓差仍然維持0伏特，所以電容端112a也會被提升至 $V_1$ 伏特。在這種情況下，由於反操作時脈訊號CK'為0，因此電壓幫浦10所輸出的電壓 $V_{O1}$ 為0，而電壓 $V_{O2}$ 則為 $V_1$ 。之後，由於 $V_1 < V_{IN}$ ，所以CMOS 104導通，因此 $V_{IN}$ 得以逐步對電容114進行充電。如此一來，在時間足夠的條件下，電容端114a將被提升至約略與 $V_{IN}$ 相等的電壓。

之後，當操作時脈訊號CK之相位反轉為0(當然，反操作時脈訊號CK'的相位也將反轉為 $V_1$ )，由於電容端112a與112b之間會在操作時脈訊號CK相位反轉的瞬間保持一定的電壓差，因此電容端112a會回到電壓0。同樣的，由於電容端114a與114b之間會在反操作時脈訊號CK'相位反轉的瞬間保持一定的電壓差，所以電容端114a將被推升到約為 $V_{IN} + V_1$ 的電壓。換句話說，在操作時脈訊號CK相位反轉的瞬間，輸出電壓 $V_{O1}$ 為 $V_{IN} + V_1$ ，而輸出電壓 $V_{O2}$ 則為0。在這種狀況下，CMOS 104不會導通，而CMOS 102則因為其開極電壓(等同於輸出電壓 $V_{O1}$ )大於輸入電壓 $V_{IN}$ 而導通，因此電容端112a的電壓將逐步被由0推升到 $V_{IN}$ 。

之後，依照相同的理論，當操作時脈訊號CK之相位再度反轉的瞬間，輸出電壓 $V_{O1}$ 會降到 $V_{IN}$ ，而輸出電壓 $V_{O2}$ 則會被瞬間推升到 $V_{IN} + V_1$ 。而在接續的操作中，輸出電壓 $V_{O1}$ 與 $V_{O2}$ 將會分別在 $V_{IN}$ 與 $V_{IN} + V_1$ 的範圍間週期性變動。





#### 五、發明說明 (3)

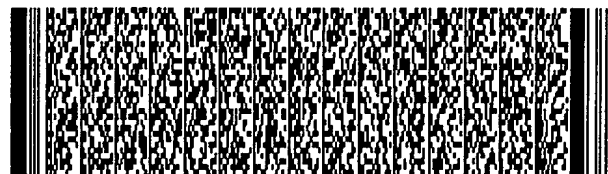
然而，由於此種架構在CMOS 102與104的閘極-基極之間所產生的最大電壓差是 $V_{IN} + V_1$ ，所以此種架構所使用的CMOS102與104必須能夠承受 $V_{IN} + V_1$ 以上的電壓差才行。換句話說，CMOS 102與104的閘極-基極介面必須能夠承受與輸出電壓等值的電壓差才行。

應用此種電壓幫浦架構的電壓倍增器則揭露於IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.33, NO.3, MARCH 1998中，由Philippe Deval 與 Michel J. Declercq二者所著之「A High-Efficiency CMOS Voltage Doubler」一文中，如第1B圖所示。在此種電壓倍增器中，操作時脈訊號CK係在電壓 $V_{IN}$ 與0之間做週期性的變化，因此其輸出 $V_{OUT}$ 會趨近於 $2 \cdot V_{IN}$ 。而同樣的，CMOS 122與124的閘極-基極介面必須承受 $2 \cdot V_{IN}$ 的電壓差。

#### 發明內容

有鑒於此，本發明提出一種電壓幫浦及使用其之電壓倍增器。本發明利用PMOS與NMOS之串接方式，使得用於電壓幫浦中的MOS元件可以在閘極-源極、閘極-基極與閘極-汲極之介面承受較低電壓差的情況下，提供與習知技術相同的電壓推升效果。

本發明提出一種電壓幫浦，其具有電壓源、訊號源、第一與第二控制訊號產生單元、第一與第二輸出電壓產生單元，以及第一與第二電容。其中，電壓源提供輸入電壓，而訊號源則提供操作時脈訊號和與此操作時脈訊號反



#### 五、發明說明 (4)

相之反操作時脈訊號。

第一控制訊號產生單元係以輸入電壓、反操作時脈訊號與接地電壓為輸入，並輸出一組電壓高低由反操作時脈訊號所決定之第一控制訊號。而第二控制訊號產生單元則以輸入電壓、操作時脈訊號與接地電壓為輸入，並輸出一組電壓高低由操作時脈訊號所決定之第二控制訊號。

此外，第一輸出電壓產生單元具有一個第一輸出端，且此第一輸出電壓產生單元係以前述之輸入電壓與第一控制訊號為輸入，並根據此第一控制訊號而決定是否電性導通輸入電壓與第一輸出端之間的電路。相似的，第二輸出電壓產生單元具有一個第二輸出端，且此第二輸出電壓產生單元係以前述之輸入電壓與第二控制訊號為輸入，並根據此第二控制訊號而決定是否電性導通輸入電壓與第二輸出端之間的電路。

再者，第一電容之第一電容端接收前述之操作時脈訊號，另一電容端輸出第一輸出電壓並電性耦接至前述之第一輸出端，而第二電容之第一電容端則接收前述之反操作時脈訊號，另一電容端則輸出第二輸出電壓並電性耦接至該第二輸出端。

綜上所述，本發明所提出之電壓幫浦內各MOS元件的閘極基極、閘極-汲極與閘極-源極之間的電壓差可以較習知所產生的電壓差小。據此，本發明可使用低壓CMOS製程所得的元件來獲取與習知技術相同的電壓推升能力而不致損毀MOS元件。



## 五、發明說明 (5)

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

### 實施方式

請參照第2圖，其繪示了根據本發明之一較佳實施例之電壓幫浦的電路方塊圖。其中，此電壓幫浦包括兩個控制訊號產生單元202與204，兩個輸出電壓產生單元206與208，以及兩個電容230與232。如第2圖所示，控制訊號產生單元202以由電壓源(此處未繪出)所提供的輸入電壓VIN、接地電壓與由訊號源(此處未繪出)所提供的反操作時脈訊號CK'為輸入，而控制訊號產生單元204則以輸入電壓VIN、接地電壓以及由訊號源(此處未繪出)所提供的操作時脈訊號CK為輸入。在這之中，操作時脈訊號CK係與反操作時脈訊號CK'為彼此反相之關係。

在此實施例中，控制訊號產生單元202所輸出之第一控制訊號的電壓的準位係由反操作時脈訊號CK'所決定。換句話說，隨著電路設計的不同，位於低準位的反操作時脈訊號CK'可能使得控制訊號產生單元202產生高準位或低準位的第一控制訊號，反之，高準位的反操作時脈訊號CK'也可能使得控制訊號產生單元202產生高準位或低準位的第一控制訊號。從另一個角度來看，控制訊號產生單元204以及其所輸出的第二控制訊號的關係，也與控制訊號產生單元202以及其所輸出之第一控制訊號的關係相類似。

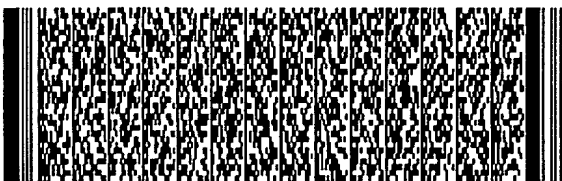


#### 五、發明說明 (6)

此外，輸出電壓產生單元206以輸入電壓VIN與第一控制訊號為輸入，並具有第一輸出端220；輸出電壓產生單元208以輸入電壓VIN與第二控制訊號為輸入，並具有第二輸出端222。以輸出電壓產生單元206來看，輸入電壓VIN與第一輸出端220之間的電路是否導通，需視由所傳來的第一控制訊號的準位而定。舉例來說，若第一控制訊號為高準位時可導通輸入電壓VIN與第一輸出端220之間的電路，則當第一控制訊號為低準位時，輸入電壓VIN與第一輸出端220之間的電路就會被切斷。類似的，在輸出電壓產生單元208之中，若第二控制訊號為高準位時可導通輸入電壓VIN與第二輸出端222之間的電路，則當第二控制訊號為低準位時，輸入電壓VIN與第二輸出端222之間的電路就會被切斷。當然，相反或是輸出電壓產生單元206與208對於各自所接收之控制訊號有不同反應的狀況都是有可能存在的，熟習此技藝者當可視實際需求而予以更動。

最後，在第2圖中尚包括兩個電容230與232。其中，電容230之一端接收操作時脈訊號CK，另一端則電性耦接至第一輸出端220，並由輸出端VOUT1輸出第一輸出電壓。電容232之一端接收操作時脈訊號CK'，另一端則電性耦接至第二輸出端222，並由輸出端VOUT2輸出第二輸出電壓。

接下來請參照第3圖，其顯示了根據本發明之一較佳實施例之電壓倍增器的電路方塊圖。其中，電荷幫浦的架構與運作方法皆與第2圖所示者極其相似，在此不予贅述。而在輸出端VOUT1與VOUT2所輸出的最大電壓為輸入電



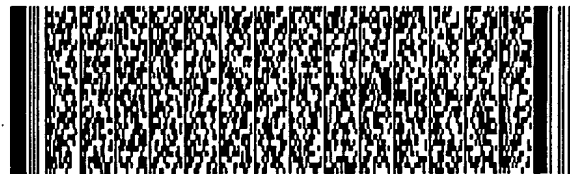
#### 五、發明說明 (7)

壓VIN的兩倍的狀況下，以輸出電壓切換單元340來接收由輸出端VOUT1與VOUT2所輸出之電壓，再從二者中挑選較高之電壓以為最終輸出端V0的輸出電壓，即可獲致電壓倍增的效果。

以下將進一步揭露電壓幫浦與輸出電壓切換單元340之一較佳實施例中所使用的電路元件，熟習此技藝者當可據此輕易施行本發明。然需注意的是，後敘之較佳實施例所提供之電路元件及架構僅為可行方式中的一種，並非用以限定本發明之技術範疇。

請參照第4圖，其繪示的是依照本發明一較佳實施例的電壓幫浦的電路圖。其中，此電壓幫浦包含了P型金屬氧化半導體(PMOS)402、404、406與408，N型金屬氧化半導體(NMOS)412、414、416與418，以及電容430與440。此外，此一電壓幫浦尚接收由電壓源(此處未繪出)所提供的輸入電壓VIN，並接收由訊號源(此處未繪出)所提供的操作時脈訊號CK以及與操作時脈訊號CK反相之反操作時脈訊號CK'。

其中，電容430(或稱第一電容)的一個電容端(或稱第一電容之第一電容端)接收操作時脈訊號CK，而另一個電容端(或稱第一電容之第二電容端)則連接到一個輸出端VOUT1以輸出第一輸出電壓。電容440(或稱第二電容)的一個電容端(或稱第二電容之第一電容端)接收反操作時脈訊號CK'，而另一個電容端(或稱第二電容之第二電容端)則連接到另一個輸出端VOUT2以輸出第二輸出電壓。



#### 五、發明說明 (8)

此外，PMOS402(或稱第一PMOS)的一個源極/汲極(或稱第一PMOS之第一源極/汲極)電性連結至電容430與PMOS402的基極(或稱第一PMOS之基極)，而PMOS402的另一個源極/汲極(或稱第一PMOS之第二源極/汲極)則電性耦接至電壓源以接收輸入電壓VIN。PMOS404(或稱第二PMOS)之一源極/汲極(或稱第二PMOS之第一源極/汲極)電性耦接至電容430以及PMOS404的基極(或稱第二PMOS之基極)，PMOS404的另一個源極/汲極(或稱第二PMOS之第二源極/汲極)係電性耦接至PMOS402的閘極(或稱第一PMOS之閘極)，且PMOS404的閘極(或稱第二PMOS之閘極)係電性耦接至電壓源以接收輸入電壓VIN。

PMOS406(或稱第三PMOS)之一源極/汲極(或稱第三PMOS之第一源極/汲極)電性耦接至電容440及PMOS406的基極(或稱第三PMOS之基極)，且另一個源極/汲極(或稱第三PMOS之第二源極/汲極)電性耦接至電壓源以接收輸入電壓VIN。PMOS 408(或稱第四PMOS)之一源極/汲極(或稱第四PMOS之第一源極/汲極)電性耦接至電容440以及PMOS408的基極(或稱第四PMOS之基極)，其另一個源極/汲極(或稱第四PMOS之第二源極/汲極)電性耦接至PMOS406的閘極(或稱第三PMOS之閘極)，且PMOS408的閘極(或稱第四PMOS之閘極)電性耦接至電壓源以接收輸入電壓VIN。

再者，NMOS412(或稱第一NMOS)之閘極(或稱第一NMOS之閘極)電性耦接至電壓源以接收輸入電壓VIN，而NMOS412的一個源極/汲極(或稱第一NMOS之第二源極/汲



#### 五、發明說明 (9)

極)係電性耦接至PMOS402的閘極，且NMOS412的基極(或稱第一NMOS之基極)接地。NMOS414(或稱第二NMOS)之一個源極/汲極(或稱第二NMOS之第一源極/汲極)與其基極(或稱第二NMOS之基極)接地，另一個源極汲極(或稱第二NMOS之第二源極/汲極)係電性耦接NMOS412之一個源極/汲極(或稱第一NMOS之第一源極/汲極)，而NMOS414之閘極(或稱第二NMOS之閘極)則接收前述之反操作時脈訊號CK'。

NMOS416(或稱第三NMOS)之閘極(或稱第三NMOS之閘極)電性耦接至電壓源以接收輸入電壓VIN，而NMOS416之一源極/汲極(或稱第三NMOS之第二源極/汲極)係電性耦接至PMOS406的閘極，且其基極(或稱第三NMOS之基極)接地。NMOS418(或稱第四NMOS)之一源極/汲極(或稱第四NMOS之第一源極/汲極)與其基極(或稱第四NMOS之基極)接地，其另一個源極/汲極(或稱第四NMOS之第二源極/汲極)電性耦接至NMOS416的源極/汲極(或稱第三NMOS之第一源極/汲極)，且閘極(或稱第四NMOS之閘極)則接收操作時脈訊號CK。

為了進一步解釋本發明所提供之電壓幫浦的運作方式，現假設在初始時的第一、第二輸出電壓皆為0伏特。此外，時脈操作訊號CK與反操作時脈訊號CK'的震盪區間在0伏特與輸入電壓VIN伏特之間，且時脈操作訊號CK之起始值為0伏特，反操作時脈訊號CK'之起始值則為VIN伏特。

在剛開始的時候，由於反操作時脈CK'的電壓值為



#### 五、發明說明 (10)

VIN，因此NMOS414導通，NMOS414的源極/汲極與NMOS412的源極/汲極之電壓值也隨之確立為0。再由於NMOS412的閘極接收輸入電壓VIN，因此NMOS412也導通，NMOS412的源極/汲極、PMOS404的源極/汲極與PMOS402的閘極的電壓值也同樣確立為0。對PMOS404而言，由於其閘極之電壓值為VIN，而源極/汲極之電壓值為0，因此PMOS404並不導通。反之，對PMOS402而言，由於其源極/汲極接收輸入電壓VIN，而其閘極電壓為0，因此PMOS402會導通，輸入電壓因此開始對電容430進行充電。由於此時時脈操作訊號CK的電壓值為0，因此在時間足夠的條件下，電容430的兩端電壓差應趨近於VIN，亦即，輸出端VOUT1所輸出的第一輸出電壓應趨近於輸入電壓VIN。

相反的，由於操作時脈CK的電壓值為0，因此NMOS418不導通。再由於閘極接收輸入電壓VIN，因此NMOS416導通，而NMOS416的源極/汲極、PMOS406的源極/汲極與PMOS406的閘極的電壓值會漸趨於VIN。對PMOS408而言，由於其閘極之電壓值為VIN，因此PMOS408並不導通。同樣的，對PMOS406而言，由於其源極/汲極接收輸入電壓VIN與閘極之電壓相近，因此PMOS402亦不導通。因此，輸出端VOUT2所輸出的第二輸出電壓應約與反操作時脈訊號CK'相當，亦即，輸出端VOUT2所輸出的第二輸出電壓應趨近於VIN。

接下來，當操作時脈訊號CK反轉，亦即，操作時脈訊號CK的電壓值為VIN，而反操作時脈訊號CK'的電壓值為





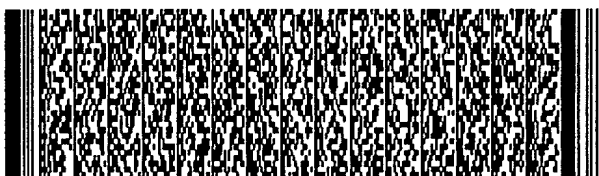
##### 五、發明說明 (11)

0。此時，根據前述推論輸出端VOUT2時所得到的結果，PMOS402與PMOS404都不會導通。因此，在瞬間維持電容430兩端電壓差的現象下，輸出端VOUT1所輸出的第一輸出電壓會被瞬間推升到 $V_{IN}+V_{IN}$ ，亦即 $2*V_{IN}$ 。再者，因為PMOS402與PMOS404都不導通，因此輸出端VOUT1將可維持在 $2*V_{IN}$ 的電壓。另一方面，在反操作時脈訊號CK'的電壓值為0的時候，電容440的兩端為了在瞬間維持電壓差不變，因此電容端的電壓會同時下降為0伏特。然而，由於PMOS406與PMOS408將會導通，若在時間足夠的條件下，輸入電壓 $V_{IN}$ 將會持續對輸出端VOUT2充電，直到輸出端VOUT2的電壓趨近於 $V_{IN}$ 。

之後，當操作時脈訊號CK再度反轉，則由於PMOS402與PMOS404重新導通，因此輸出端VOUT1將維持在 $V_{IN}$ 的電壓。另一方面，由於PMOS406與PMOS408不導通，因此輸出端VOUT2在電容440兩端之電壓差將會保持為 $V_{IN}$ 。而在電容端440b所接收的反操作時脈訊號CK'的電壓為的情況下 $V_{IN}$ ，輸出端VOUT2所輸出的第二輸出電壓將會是 $2*V_{IN}$ 。

於此之後，輸出端VOUT1與VOUT2所分別輸出的第一輸出電壓與第二輸出電壓將在 $V_{IN}$ 與 $2*V_{IN}$ 的電壓間週期性變化。而PMOS402、404、406與408的閘極-基極介面將只需要忍受 $V_{IN}$ 的電壓差即可，相較於習知必須忍受 $2*V_{IN}$ 的電壓差而言，實已有極大的改善。

接下來請參照第5圖，其繪示的是使用如第4圖所示之電壓幫浦之電壓倍增器的電路圖。其中，電壓幫浦52的組

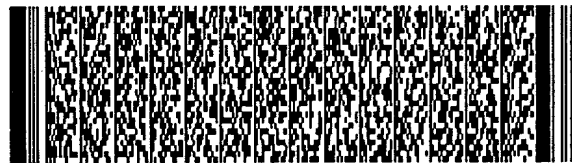


#### 五、發明說明 (12)

成架構與第4圖類似，所以在此不再對其操作方式做進一步的介紹。此外，輸出如第4圖中之第一輸出電壓 $V_{OUT1}$ ，則輸出如第4圖中之第二輸出電壓 $V_{OUT2}$ 。而由前述與第4圖相關的敘述中可以得知，當時脈操作訊號CK與反時脈操作訊號CK'係在 $0 \sim V_{IN}$ 的電壓間震盪，則在穩定的狀態下，第一輸出電壓 $V_{OUT1}$ 與第二輸出電壓 $V_{OUT2}$ 將會分別在 $V_{IN} \sim 2 * V_{IN}$ 之間震盪。因此，接下來就以此為根據來解說第5圖中除了電壓幫浦52之外的部分電路運作方式。

第5圖中除了電壓幫浦52之外的部分電路包括了四個PMOS562、564、566與568，以及基底電容570與輸出電容580。其中，PMOS562(或稱第五PMOS)的一個源極/汲極(或稱第五PMOS之第一源極/汲極)電性耦接至電壓幫浦52以接收前述之第二輸出電壓 $V_{OUT2}$ ，另一個源/汲極(或稱第五PMOS之第二源極/汲極)電性耦接於PMOS562之基極(或稱第五PMOS之基極)，且PMOS562之閘極(或稱第五PMOS之閘極)電性耦接電壓幫浦52以接收前述之第一輸出電壓 $V_{OUT1}$ 。PMOS 564(或稱第六PMOS)的一個源極/汲極(或稱第六PMOS之第一源極/汲極)電性耦接至以接收第一輸出電壓 $V_{OUT1}$ ，另一個源極/汲極(或稱第六PMOS之第二源極/汲極)電性耦接於PMOS564之基極(或稱第六PMOS之基極)，且此PMOS564之閘極(或稱第六PMOS之閘極)電性耦接以接收第二輸出電壓 $V_{OUT2}$ 。

此外，PMOS566(或稱第七PMOS)之一個源極/汲極(或稱第七PMOS之第一源極/汲極)電性耦接至以接收第二輸出



#### 五、發明說明 (13)

電壓VOUT2，另一個源極/汲極（或稱第七PMOS之第二源極/汲極）電性耦接於最終輸出端590以輸出最終輸出電壓V0。PMOS566的基極（或稱第七PMOS之基極）電性耦接至PMOS562的基極與源極/汲極，且PMOS566之閘極（或稱第七PMOS之閘極）電性耦接至以接收第二輸出電壓VOUT2。PMOS568（或稱第八PMOS）的一個源極/汲極（或稱第八PMOS之第一源極/汲極）電性耦接至以接收第一輸出電壓VOUT1，另一個源極/汲極（或稱第八PMOS之第二源極/汲極）電性耦接於最終輸出端590。PMOS568的基極（或稱第八PMOS之基極）電性耦接至PMOS564的基極，且PMOS 568的閘極（或稱第八PMOS之閘極）電性耦接至以接收第一輸出電壓VOUT1。

最後，基底電容570的一端接地，另一端則電性耦接至基極。輸出電容580的一端接地，另一端則電性耦接至最終輸出端590。

當第一輸出電壓VOUT1與第二輸出電壓VOUT2趨於穩定震盪之後，假設第一輸出電壓VOUT1為VIN，則第二輸出電壓VOUT2為 $2*VIN$ 。在這樣的條件下，PMOS562與PMOS566導通，而PMOS564與PMOS568關閉，第二輸出電壓VOUT2( $2*VIN$ )對輸出電容580充電。反過來說，當第一輸出電壓VOUT1為 $2*VIN$ ，而第二輸出電壓VOUT2為VIN的時候，PMOS562與PMOS566關閉，而PMOS564與PMOS568則導通，於是第一輸出電壓VOUT1( $2*VIN$ )對輸出電容580充電。由此可知，在經過足夠的操作時間之後，由最終輸出



#### 五、發明說明 (14)

端590所輸出的最終輸出電壓 $V_O$ 會約略穩定的等於輸入電壓的兩倍，亦即 $2 \times V_{IN}$ 。

最後要特別強調的是，雖然在本說明書中係以MOS為例來說明，但熟習此技藝者當知，金屬氧化物半導體場效電晶體(MOSFET)、增強型金屬氧化物半導體場效電晶體(增強型MOSFET)與互補式金屬氧化物半導體(CMOS)等類似元件也可使用於本發明所提供的電路中。

綜上所述，現將本發明的優點略述如下。本發明藉由所提出之電壓幫浦內各MOS元件的閘極-基極、閘極-汲極與閘極-源極之間的電壓差可以較習知所產生的電壓差小。特別是閘極-基極間的電壓差的最大值將可比習知減少約一半。因此，本發明可使用低壓CMOS製程所得的元件來獲取與習知技術相同的電壓推升能力而不致損毀MOS元件。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



#### 圖式簡單說明

第1A圖繪示的是習知所採用之電壓幫浦的電路圖；

第1B圖繪示的是習知採用第1A圖所示之電壓幫浦之電壓倍增器的電路圖；

第2圖繪示的是根據本發明之一較佳實施例之電壓幫浦的電路方塊圖；

第3圖繪示的是根據本發明之一較佳實施例之電壓倍增器的電路方塊圖；

第4圖繪示的是根據本發明之另一較佳實施例之電壓幫浦的電路圖；以及

第5圖繪示的是根據本發明之另一較佳實施例之電壓倍增器的電路圖。

#### 標號說明

32，52：電壓幫浦

102，104，122，124，412～418，512～518：NMOS

112，114，132，134，150，152，232，330，332，430，

440，530，540，570，580，530：電容

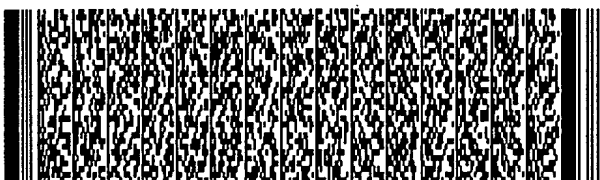
140～146，402～408，502～508，562～568：PMOS

202，204，302，304：控制訊號產生單元

206，208，306，308：輸出電壓產生單元

320，322：輸出端

590：最終輸出端



## 六、申請專利範圍

### 1. 一種電壓幫浦，包括：

一電壓源，提供一輸入電壓；

一訊號源，提供一操作時脈訊號和與該操作時脈訊號反相之一反操作時脈訊號；

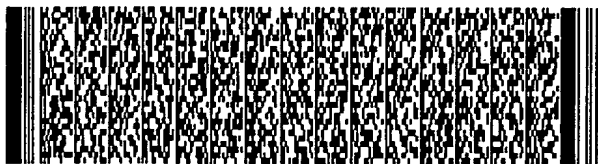
一第一電容，具有第一電容端與第二電容端，該第一電容之第一電容端接收該操作時脈訊號，該第一電容之第二電容端輸出一第一輸出電壓；

一第二電容，具有第一電容端與第二電容端，該第二電容之第一電容端接收該反操作時脈訊號，該第二電容之第二電容端輸出一第二輸出電壓；

一第一P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第一P型金屬氧化物半導體之第一源極/汲極電性耦接至該第一電容之第二電容端與該第一P型金屬氧化物半導體之基極，且該第一P型金屬氧化物半導體之第二源極/汲極電性耦接至該電壓源；

一第二P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第二P型金屬氧化物半導體之第一源極/汲極電性耦接至該第一電容之第二電容端與該第二P型金屬氧化物半導體之基極，該第二P型金屬氧化物半導體之第二源極/汲極電性耦接至該第一P型金屬氧化物半導體之閘極，且該第二P型金屬氧化物半導體之閘極電性耦接至該電壓源；

一第三P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第三P型金屬氧化物半導體之第一



#### 六、申請專利範圍

源極/汲極電性耦接至該第二電容之第二電容端與該第三P型金屬氧化物半導體之基極，且該第三P型金屬氧化物半導體之第二源極/汲極電性耦接至該電壓源；

一 第四P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第四P型金屬氧化物半導體之第一源極/汲極電性耦接至該第二電容之第二電容端與該第四P型金屬氧化物半導體之基極，該第四P型金屬氧化物半導體之第二源極/汲極電性耦接至該第三P型金屬氧化物半導體之閘極，且該第四P型金屬氧化物半導體之閘極電性耦接至該電壓源；

一 第一N型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第一N型金屬氧化物半導體之閘極電性耦接至該電壓源，該第一N型金屬氧化物半導體之第二源極/汲極電性耦接至該第一P型金屬氧化物半導體之閘極，且該第一N型金屬氧化物半導體之基極接地；

一 第二N型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第二N型金屬氧化物半導體之第一源極/汲極與該第二N型金屬氧化物半導體之基極接地，該第二N型金屬氧化物半導體之第二源極/汲極電性耦接該第一N型金屬氧化物半導體之第一源極/汲極，且該第二N型金屬氧化物半導體之閘極接收該反操作時脈訊號；

一 第三N型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第三N型金屬氧化物半導體之閘極電性耦接至該電壓源，該第三N型金屬氧化物半導體之第



#### 六、申請專利範圍

二源極/汲極電性耦接至該第三P型金屬氧化物半導體之閘極，且該第三N型金屬氧化物半導體之基極接地；以及

一第四N型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第四N型金屬氧化物半導體之第一源極/汲極與該第四N型金屬氧化物半導體之基極接地，該第四N型金屬氧化物半導體之第二源極/汲極電性耦接該第三N型金屬氧化物半導體之第一源極/汲極，且該第四N型金屬氧化物半導體之閘極接收該操作時脈訊號。

2. 一種使用電壓幫浦之電壓倍增器，包括

一電壓源，提供一輸入電壓；

一訊號源，提供一操作時脈訊號和與該操作時脈訊號反相之一反操作時脈訊號；

一第一電容，具有第一電容端與第二電容端，該第一電容之第一電容端接收該操作時脈訊號，該第一電容之第二電容端輸出一第一輸出電壓；

一第二電容，具有第一電容端與第二電容端，該第二電容之第一電容端接收該反操作時脈訊號，該第二電容之第二電容端輸出一第二輸出電壓；

一第一P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第一P型金屬氧化物半導體之第一源極/汲極電性耦接至該第一電容之第二電容端與該第一P型金屬氧化物半導體之基極，且該第一P型金屬氧化物半導體之第二源極/汲極電性耦接至該電壓源；

一第二P型金屬氧化物半導體，具有基極、閘極與第





#### 六、申請專利範圍

一、第二源極/汲極，該第二P型金屬氧化物半導體之第一源極/汲極電性耦接至該第一電容之第二電容端與該第二P型金屬氧化物半導體之基極，該第二P型金屬氧化物半導體之第二源極/汲極電性耦接至該第一P型金屬氧化物半導體之閘極，且該第二P型金屬氧化物半導體之閘極電性耦接至該電壓源；

一第三P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第三P型金屬氧化物半導體之第一源極/汲極電性耦接至該第二電容之第二電容端與該第三P型金屬氧化物半導體之基極，且該第三P型金屬氧化物半導體之第二源極/汲極電性耦接至該電壓源；

一第四P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第四P型金屬氧化物半導體之第一源極/汲極電性耦接至該第二電容之第二電容端與該第四P型金屬氧化物半導體之基極，該第四P型金屬氧化物半導體之第二源極/汲極電性耦接至該第三P型金屬氧化物半導體之閘極，且該第四P型金屬氧化物半導體之閘極電性耦接至該電壓源；

一第一N型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第一N型金屬氧化物半導體之閘極電性耦接至該電壓源，該第一N型金屬氧化物半導體之第二源極/汲極電性耦接至該第一P型金屬氧化物半導體之閘極，且該第一N型金屬氧化物半導體之基極接地；

一第二N型金屬氧化物半導體，具有基極、閘極與第



#### 六、申請專利範圍

一、第二源極/汲極，該第二N型金屬氧化物半導體之第一源極/汲極與該第二N型金屬氧化物半導體之基極接地，該第二N型金屬氧化物半導體之第二源極/汲極電性耦接該第一N型金屬氧化物半導體之第一源極/汲極，且該第二N型金屬氧化物半導體之閘極接收該反操作時脈訊號；

一第三N型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第三N型金屬氧化物半導體之閘極電性耦接至該電壓源，該第三N型金屬氧化物半導體之第二源極/汲極電性耦接至該第三P型金屬氧化物半導體之閘極，且該第三N型金屬氧化物半導體之基極接地；

一第四N型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第四N型金屬氧化物半導體之第一源極/汲極與該第四N型金屬氧化物半導體之基極接地，該第四N型金屬氧化物半導體之第二源極/汲極電性耦接該第三N型金屬氧化物半導體之第一源極/汲極，且該第四N型金屬氧化物半導體之閘極接收該操作時脈訊號；以及

一輸出電壓切換單元，該輸出電壓切換單元接收該第一輸出電壓與該第二輸出電壓，並輸出該第一輸出電壓與該第二輸出電壓二者中之較高者。

3. 如申請專利範圍第2項所述之使用電壓幫浦之電壓倍增器，其中該輸出電壓切換單元包括：

一第五P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第五P型金屬氧化物半導體之第一源極/汲極接收該第二輸出電壓，該第五P型金屬氧化物半



#### 六、申請專利範圍

導體之第二源極/汲極電性耦接於該第五P型金屬氧化物半導體之基極，且該第五P型金屬氧化物半導體之閘極接收該第一輸出電壓；

一第六P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第六P型金屬氧化物半導體之第一源極/汲極接收該第一輸出電壓，該第六P型金屬氧化物半導體之第二源極/汲極電性耦接於該第六P型金屬氧化物半導體之基極，且該第六P型金屬氧化物半導體之閘極接收該第二輸出電壓；

一第七P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第七P型金屬氧化物半導體之第一源極/汲極接收該第二輸出電壓，該第七P型金屬氧化物半導體之第二源極/汲極電性耦接於一最終輸出端，該第七P型金屬氧化物半導體之基極電性耦接至該第五P型金屬氧化物半導體之基極，且該第七P型金屬氧化物半導體之閘極接收該第二輸出電壓；

一第八P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第八P型金屬氧化物半導體之第一源極/汲極接收該第一輸出電壓，該第八P型金屬氧化物半導體之第二源極/汲極電性耦接於該最終輸出端，該第八P型金屬氧化物半導體之基極電性耦接至該第六P型金屬氧化物半導體之基極，且該第八P型金屬氧化物半導體之閘極接收該第一輸出電壓；

一輸出電容，該輸出電容一端接地，另一端則電性耦



#### 六、申請專利範圍

接至該最終輸出端；以及

一基底電容，該基底電容一端接地，另一端則電性耦接至該第五P型金屬氧化物半導體之基極。

4. 一種電壓幫浦，包括：

一電壓源，提供一輸入電壓；

一訊號源，提供一操作時脈訊號和與該操作時脈訊號反相之一反操作時脈訊號；

一第一控制訊號產生單元，該第一控制訊號產生單元以該輸入電壓、該反操作時脈訊號與接地電壓為輸入，並輸出一第一控制訊號，其中，該第一控制訊號之電壓高低係由該反操作時脈訊號所決定；

一第一輸出電壓產生單元，以該輸入電壓與該第一控制訊號為輸入，並具有一第一輸出端，該第一輸出電壓產生單元根據該第一控制訊號而決定是否電性導通該輸入電壓與該第一輸出端之間的電路；

一第二控制訊號產生單元，該第二控制訊號產生單元以該輸入電壓、該操作時脈訊號與接地電壓為輸入，並輸出一第二控制訊號，其中，該第二控制訊號之電壓高低係由該操作時脈訊號所決定；

一第二輸出電壓產生單元，以該輸入電壓與該第二控制訊號為輸入，並具有一第二輸出端，該第二輸出電壓產生單元根據該第二控制訊號而決定是否電性導通該輸入電壓與該第一輸出端之間的電路；

一第一電容，具有第一電容端與第二電容端，該第一



#### 六、申請專利範圍

電容之第一電容端接收該操作時脈訊號，該第一電容之第二電容端輸出一第一輸出電壓並電性耦接至該第一輸出端；以及

一第二電容，具有第一電容端與第二電容端，該第二電容之第一電容端接收該反操作時脈訊號，該第二電容之第二電容端輸出一第二輸出電壓並電性耦接至該第二輸出端。

5. 一種使用電壓幫浦之電壓倍增器，包括

一電壓源，提供一輸入電壓；

一訊號源，提供一操作時脈訊號和與該操作時脈訊號反相之一反操作時脈訊號；

一第一控制訊號產生單元，該第一控制訊號產生單元以該輸入電壓、該反操作時脈訊號與接地電壓為輸入，並輸出一第一控制訊號，其中，該第一控制訊號之電壓高低係由該反操作時脈訊號所決定；

一第一輸出電壓產生單元，以該輸入電壓與該第一控制訊號為輸入，並具有一第一輸出端，該第一輸出電壓產生單元根據該第一控制訊號而決定是否電性導通該輸入電壓與該第一輸出端之間的電路；

一第二控制訊號產生單元，該第二控制訊號產生單元以該輸入電壓、該操作時脈訊號與接地電壓為輸入，並輸出一第二控制訊號，其中，該第二控制訊號之電壓高低係由該操作時脈訊號所決定；

一第二輸出電壓產生單元，以該輸入電壓與該第二控



#### 六、申請專利範圍

制訊號為輸入，並具有一第二輸出端，該第二輸出電壓產生單元根據該第二控制訊號而決定是否電性導通該輸入電壓與該第一輸出端之間的電路；

一第一電容，具有第一電容端與第二電容端，該第一電容之第一電容端接收該操作時脈訊號，該第一電容之第二電容端輸出一第一輸出電壓並電性耦接至該第一輸出端；

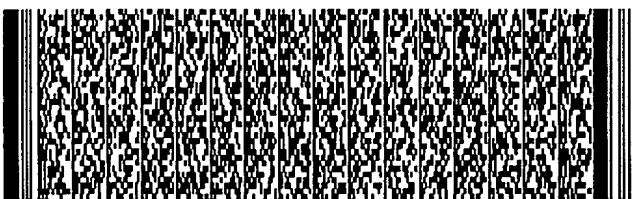
一第二電容，具有第一電容端與第二電容端，該第二電容之第一電容端接收該反操作時脈訊號，該第二電容之第二電容端輸出一第二輸出電壓並電性耦接至該第二輸出端；以及

一輸出電壓切換單元，該輸出電壓切換單元接收該第一輸出電壓與該第二輸出電壓，並輸出該第一輸出電壓與該第二輸出電壓二者中之較高者。

6. 如申請專利範圍第5項所述之使用電壓幫浦之電壓倍增器，其中該輸出電壓切換單元包括：

一第五P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第五P型金屬氧化物半導體之第一源極/汲極接收該第二輸出電壓，該第五P型金屬氧化物半導體之第二源極/汲極電性耦接於該第五P型金屬氧化物半導體之基極，且該第五P型金屬氧化物半導體之閘極接收該第一輸出電壓；

一第六P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第六P型金屬氧化物半導體之第一



#### 六、申請專利範圍

源極/汲極接收該第一輸出電壓，該第六P型金屬氧化物半導體之第二源極/汲極電性耦接於該第六P型金屬氧化物半導體之基極，且該第六P型金屬氧化物半導體之閘極接收該第二輸出電壓；

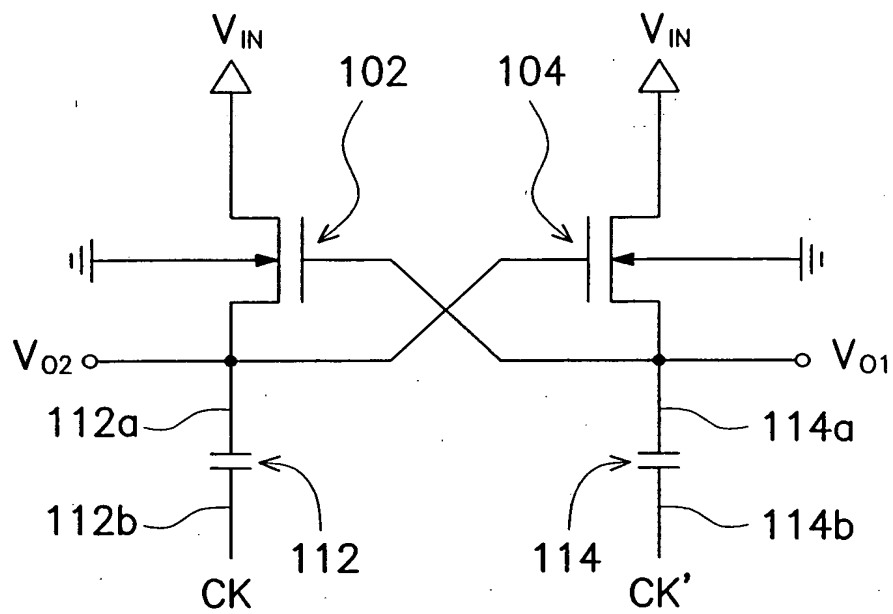
一第七P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第七P型金屬氧化物半導體之第一源極/汲極接收該第二輸出電壓，該第七P型金屬氧化物半導體之第二源極/汲極電性耦接於一最終輸出端，該第七P型金屬氧化物半導體之基極電性耦接至該第五P型金屬氧化物半導體之基極，且該第七P型金屬氧化物半導體之閘極接收該第二輸出電壓；

一第八P型金屬氧化物半導體，具有基極、閘極與第一、第二源極/汲極，該第八P型金屬氧化物半導體之第一源極/汲極接收該第一輸出電壓，該第八P型金屬氧化物半導體之第二源極/汲極電性耦接於該最終輸出端，該第八P型金屬氧化物半導體之基極電性耦接至該第六P型金屬氧化物半導體之基極，且該第八P型金屬氧化物半導體之閘極接收該第一輸出電壓；

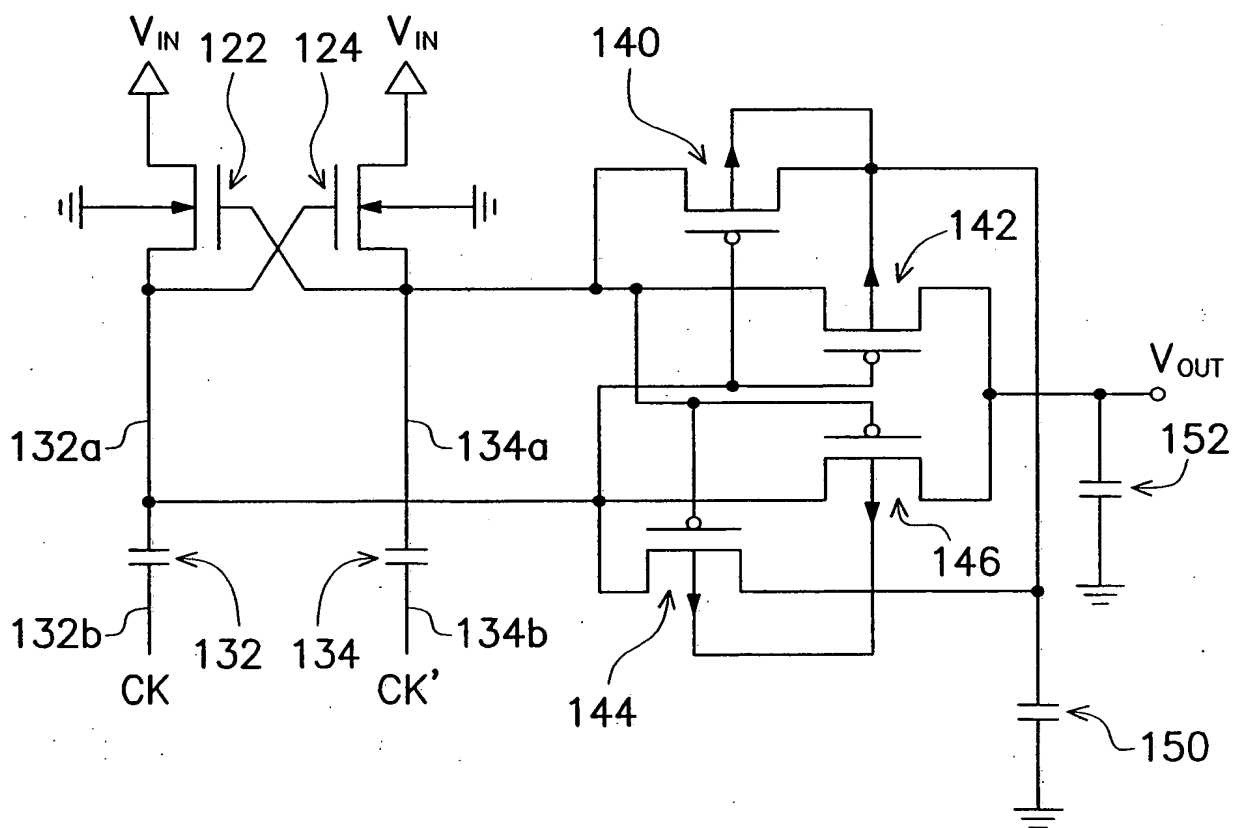
一輸出電容，該輸出電容一端接地，另一端則電性耦接至該最終輸出端；以及

一基底電容，該基底電容一端接地，另一端則電性耦接至該第五P型金屬氧化物半導體之基極。



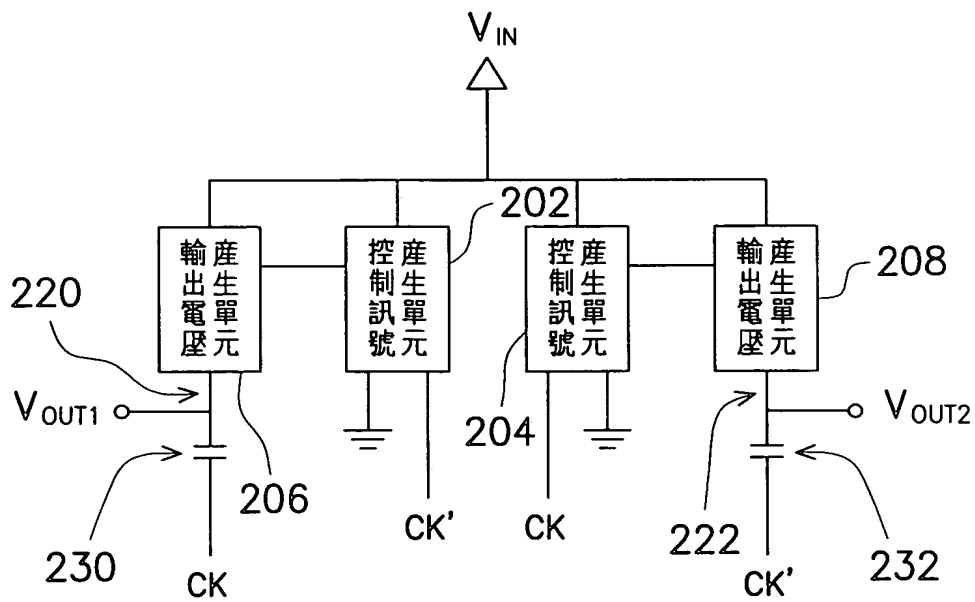


第 1A 圖

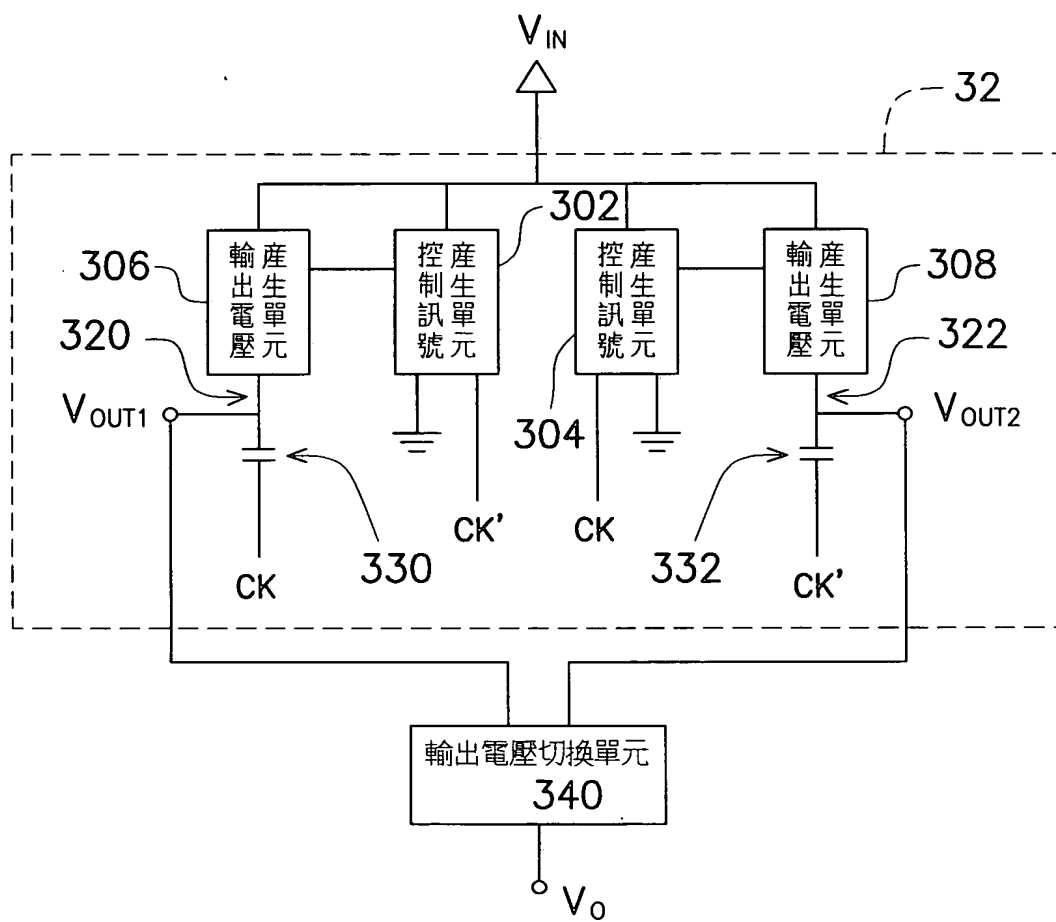


第 1B 圖

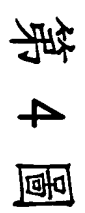




第 2 圖



第 3 圖

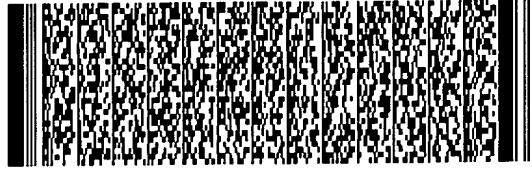




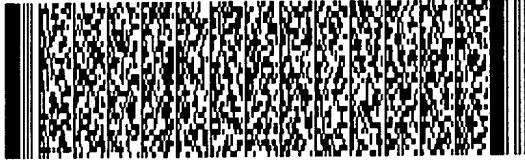
第 1/28 頁



第 2/28 頁



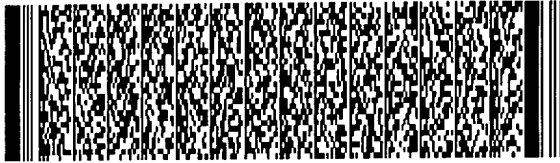
第 2/28 頁



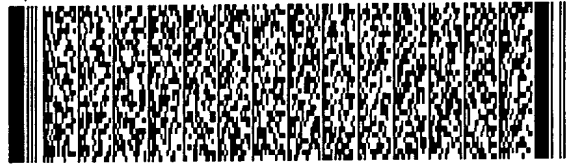
第 3/28 頁



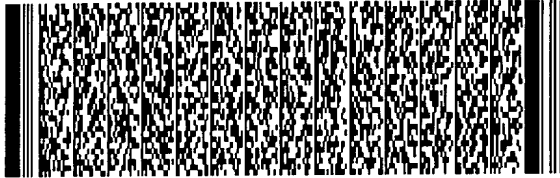
第 4/28 頁



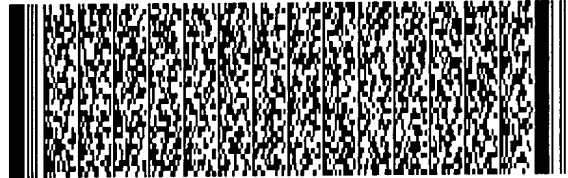
第 4/28 頁



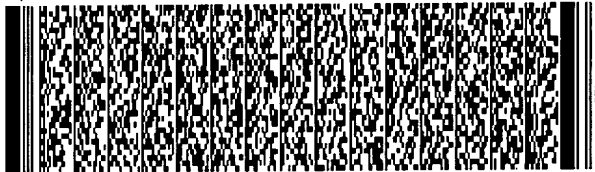
第 5/28 頁



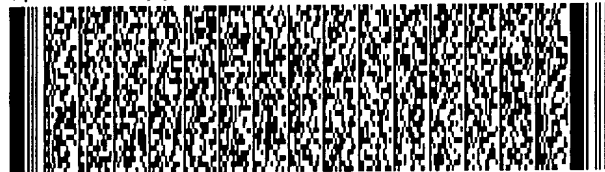
第 5/28 頁



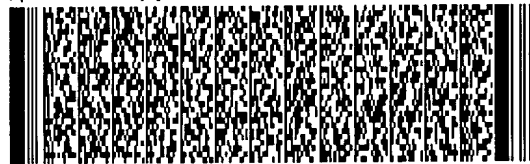
第 6/28 頁



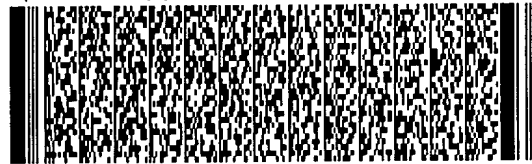
第 6/28 頁



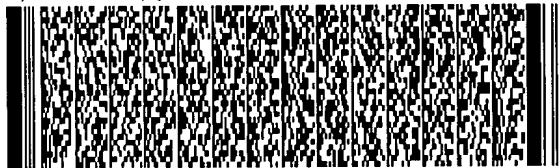
第 7/28 頁



第 7/28 頁



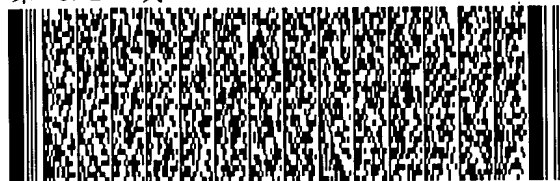
第 8/28 頁



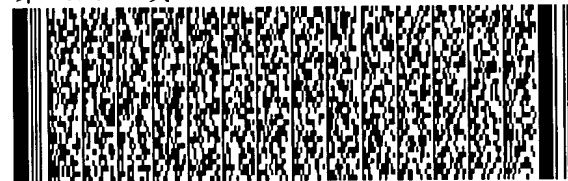
第 8/28 頁



第 9/28 頁



第 9/28 頁



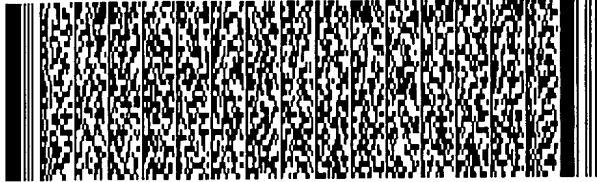
第 10/28 頁



第 10/28 頁



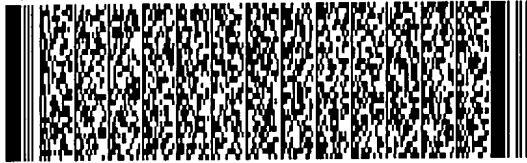
第 11/28 頁



第 12/28 頁



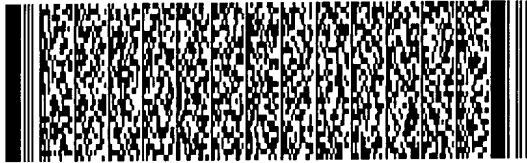
第 12/28 頁



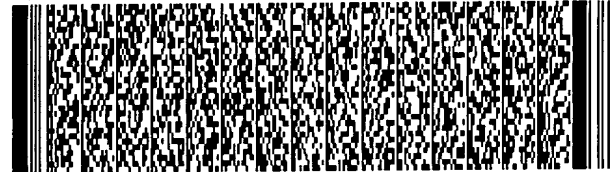
第 13/28 頁



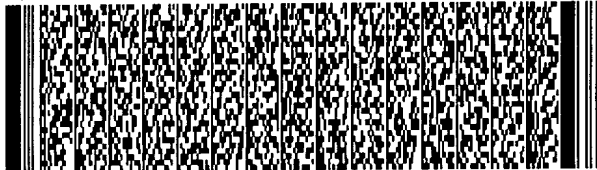
第 13/28 頁



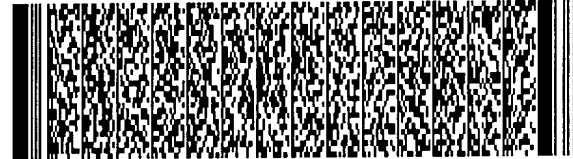
第 14/28 頁



第 14/28 頁



第 15/28 頁



第 15/28 頁



第 16/28 頁



第 16/28 頁



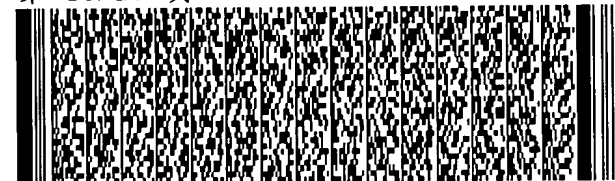
第 17/28 頁



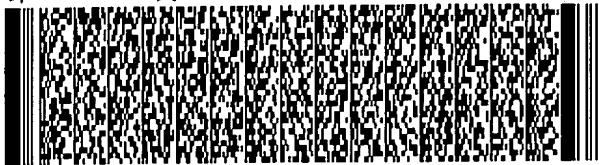
第 17/28 頁



第 18/28 頁



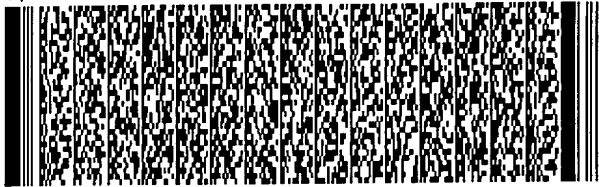
第 19/28 頁



第 20/28 頁



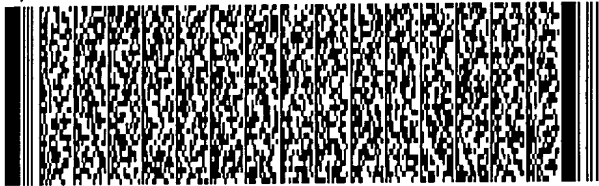
第 21/28 頁



第 22/28 頁



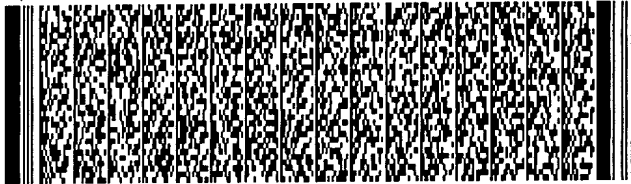
第 23/28 頁



第 24/28 頁



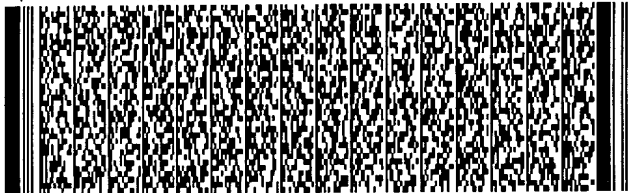
第 25/28 頁



第 26/28 頁



第 27/28 頁



第 28/28 頁

